

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-265110

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1345
H01L 29/786

(21)Application number : 08-073401

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.03.1996

(72)Inventor : TADA MASAHIRO
UCHIKOGA SHYUICHI

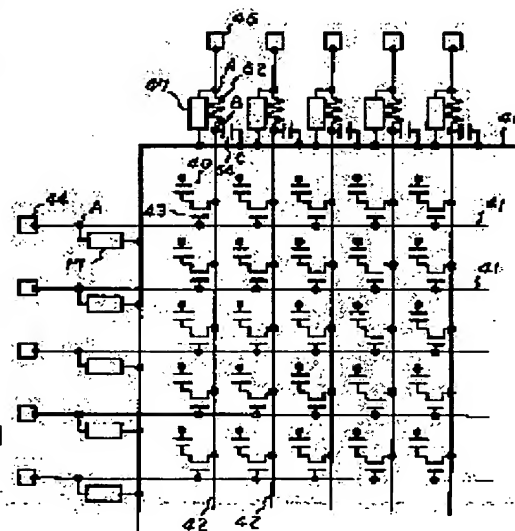
(54) ACTIVE MATRIX PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix panel having the stable characters of thin-film transistors(TFTs) which are not deteriorated over a long period of time without deteriorating the characteristics of the TFTs even when the surge voltage by static electricity is impressed to signal wirings and the electrode pads connected to address wirings.

SOLUTION: The TFTs 43 are connected to the points where address wirings 41 and signal wirings 42 intersect with each other. Address wirings 41 and signal wirings 42 are provided with the electrode pads 44, 45 for impressing the voltage on the TFTs 43. Short rings 46 to relieve the static electricity are arranged therebetween. The short rings 46 and the signal wires 42 are connected via static electricity protecting means 47. Capacitors 54 are connected between the points B on the signal wirings 42 and the points C on the short rings 46.

Resistors 52 are inserted between the points A and points B on the signal wirings 42. The currents by surge voltage are regulated to the prescribed time constant between the static electricity protecting means 47, the resistors 52 and the capacitors 54 by such constitution, by which the deterioration in the characteristics of the TFTs 43 is obviated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] Two or more pixels arranged in the shape of [which drives liquid crystal] a matrix, and two or more switching elements which are connected to said pixel and switch said pixel, Two or more signal wiring connected to the source electrode or drain electrode of said switching element, Two or more address wiring arranged by connecting with the gate electrode of said switching element, and intersecting said signal wiring, The 1st electrode pad which is connected to said signal wiring and impresses an electrical potential difference to said source electrode or a drain electrode, The 2nd electrode pad which is connected to said address wiring and impresses an electrical potential difference to said gate electrode, A 1st electrostatic-protection means by which an end is connected to either at least among said signal wiring or said address wiring, and the other end is connected to auxiliary wiring, The active-matrix panel characterized by consisting of the 2nd electrostatic-protection means which is connected to said 1st electrostatic-protection means and juxtaposition, and has a bigger time constant than the time constant of said 1st electrostatic-protection means.

[Claim 2] Said 2nd electrostatic-protection means is an active-matrix panel according to claim 1 characterized by consisting of resistance inserted between said 1st electrostatic-protection means formed in either at least among said signal wiring or said address wiring, and said switching element, and an accumulation-of-electricity component by which an end is connected to this resistance and the other end is connected to said auxiliary wiring.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the active-matrix panel by which the active-matrix panel was started, especially the electrostatic-protection means was established.

[0002]

[Description of the Prior Art] The selling number of a notebook type personal computer is increasing quickly in recent years, and high performance-ization including high-performance-izing of a microprocessor and

colorization of a display is progressing quickly together with it.

[0003] As a display of a current notebook type personal computer, liquid crystal display LCD (Liquid Crystal Display) is used as a liquid crystal display of black and white and a color. LCD is characterized by the low power.

[0004] However, since most matter which constitutes a liquid crystal display is insulating materials, static electricity is accumulated into the production process of a liquid crystal display, and accumulated static electricity may discharge within a liquid crystal display.

[0005] Moreover, in the liquid crystal display of the active-matrix panel mold which arranges a transistor in the shape of a matrix as a switching element of each pixel, static electricity becomes the cause of degrading image quality remarkably.

[0006] Moreover, in order to control the electrical potential difference impressed to a pixel, address wiring and signal wiring which consist of conductive wiring are arranged in the shape of a grid through an insulating material. Therefore, if the potential difference between address wiring and signal wiring becomes large with static electricity, the problem that the insulator layer prepared between address wiring and signal wiring is destroyed will arise.

[0007] When an insulator layer is destroyed, between address wiring and signal wiring will short-circuit, the signal given to address wiring and signal wiring will not be correctly transmitted to a transistor, and armature-voltage control of a pixel cannot be performed, but a point defect, a line defect, etc. will arise in a liquid crystal display, and image quality will deteriorate remarkably.

[0008] Moreover, the potential difference by static electricity produced between address wiring, between signal wiring, or between address wiring and signal wiring degrades component properties, such as short-circuit between thin film transistors, and a transistor, brought about the point defect, the line defect, etc. and was degrading image quality.

[0009] The problem by static electricity was solved by the conventionally following configurations to a problem which is mentioned above. Hereafter, the configuration of the conventional active-matrix panel is explained, referring to a drawing.

[0010] Drawing 8 is the circuit diagram of an active-matrix panel. Two or more address wiring 11 and two or more signal wiring 12 are arranged in the shape of a matrix. A thin film transistor 13 (Thin Film Transistor) is connected as a switching element which controls a pixel at the intersection of the address wiring 11 and signal wiring 12. The electrode pads 14 and 15 which supply power to a thin film transistor 13 are formed in the

termination of the address wiring 11 or signal wiring 12. Among the viewing area and the electrode pads 14 and 15 with which a thin film transistor 13 is arranged, the short ring 16 formed with conductive wiring is formed. The short ring 16, the address wiring 11, or signal wiring 12 is connected through the electrostatic-protection means 17.

[0011] Actuation of the active-matrix panel which consists of such a configuration is explained. A thin film transistor 13 is operated from the electrode pads 14 and 15 with the electrical potential difference on which the predetermined electrical potential difference was impressed and impressed to the thin film transistor 13 through the address wiring 11 or signal wiring 12, a pixel is controlled, and a desired pattern is displayed on a liquid crystal display. Here, suppose that the potential difference occurred in the viewing area by friction and exfoliation electrification between the manufacturing installation of a liquid crystal display, and an active-matrix panel.

[0012] Specifically, the potential difference will arise between address wiring 11a and address wiring 11b. the path where this potential difference is shown in a path 18 (address wiring 11a-> electrostatic-protection means 17 -> short ring 16 -> electrostatic-protection means 17 -> address wiring 11b) -- a passage -- easing -- having -- a thin film transistor 13 -- an electrostatic discharge is prevented.

[0013]

[Problem(s) to be Solved by the Invention] However, by the active-matrix panel which consists of the above configurations, when direct surge voltage was impressed to an electrode pad by discharge by static electricity with the active-matrix panel exterior, with an electrostatic-protection means, there was a problem that a thin film transistor could not be protected completely.

[0014] Moreover, static discharge arises in the electrode pad which that static electricity is impressed to a direct electrode pad is the case where the potential difference occurs between the substrate circumference of a liquid crystal display, and the substrate of the manufacturing installation which manufactures a liquid crystal display, and has the conductivity established at the substrate edge of a liquid crystal display according to this potential difference.

[0015] If surge voltage is impressed to the electrode pad which supplies power to address wiring or signal wiring, effect will be done also in the viewing area which consists of thin film transistors etc. The surge voltage of this is the same as that of impressing the pulse of the high voltage with a short time instead of impressing a

drive wave to address wiring or signal wiring. Then, the pulse of the high voltage will be impressed also to a thin film transistor through signal wiring or address wiring, and there was a problem of causing the short-circuit between layers between address wiring and signal wiring and the short-circuit between layers within a thin film transistor.

[0016] Moreover, when static discharge arises with an electrode pad, the display defect of a liquid crystal display may occur also in weak surge voltage which the short-circuit between layers mentioned above does not generate. Even if it was a short time, the high voltage was impressed, or the property of a thin film transistor changed with stress also with the weak electric static discharge which the short-circuit between layers does not generate, and the thin film transistor also had the problem of making armature-voltage control of a pixel difficult.

[0017] If surge voltage is impressed to the electrode pad of address wiring or signal wiring, will change the threshold electrical potential difference of a thin film transistor, and it will become impossible to give sufficient electrical potential difference for a pixel, and, specifically, as a result, will become a display defect.

[0018] Therefore, although an electrostatic-protection means can abolish the uneven potential difference between address wiring, between signal wiring, or between signal wiring and address wiring, it is difficult the means to abolish the potential difference produced with static electricity from an electrode pad, and to make it the electrical potential difference of homogeneity.

[0019] Moreover, it is difficult to abolish the potential difference between address wiring, between signal wiring, or between address wiring and a signal line by time amount short enough, without degrading the property of the thin film transistor which constitutes a liquid crystal display, when the surge voltage generated with accumulated static electricity is impressed to a direct electrode pad.

[0020] Then, this invention was made in view of the above-mentioned conventional trouble, and aims at offer of the active-matrix panel which has the property of the stable thin film transistor which the property of a thin film transistor is not degraded and does not deteriorate for a long period of time even when the surge voltage by static electricity is impressed to the electrode pad connected to signal wiring or address wiring.

[0021]

[Means for Solving the Problem] Two or more pixels by which this invention has been arranged in the shape of [which drives liquid crystal] a

matrix in order to attain the above-mentioned purpose, Two or more switching elements which are connected to said pixel and switch said pixel, Two or more signal wiring connected to the source electrode or drain electrode of said switching element, Two or more address wiring arranged by connecting with the gate electrode of said switching element, and intersecting said signal wiring, The 1st electrode pad which is connected to said address wiring and impresses an electrical potential difference to said source electrode or a drain electrode, The 2nd electrode pad which is connected to said signal wiring and impresses an electrical potential difference to said gate electrode, A 1st electrostatic-protection means by which an end is connected to either at least among said signal wiring or said address wiring, and the other end is connected to auxiliary wiring, It connects with said 1st electrostatic-protection means and juxtaposition, and consists of 2nd electrostatic-protection means with a bigger time constant than the time constant of said 1st electrostatic-protection means.

[0022]

[Embodiment of the Invention] Hereafter, the example of this invention is explained, referring to a drawing. Drawing 1 is the circuit diagram of the 1st example of an active-matrix panel, and drawing 2 is the circuit diagram of the 1st electrostatic-protection means concerning the 1st example of an active-matrix panel. Drawing 3 With the circuit diagram of the 1st electrostatic-protection means [concerning the 1st example of an active-matrix panel], and 2nd electrostatic-protection means circumference, drawing 4 In the graph which shows the relation between a parameter (R_2 , C_2/R_1 , C_1) and the threshold of a thin film transistor, drawing 5 is the sectional view of a thin film transistor and auxiliary capacity. Drawing 6 It is the top view of the 1st electrostatic-protection means [concerning the 1st example of an active-matrix panel], and 2nd electrostatic-protection means circumference.

[0023] The address wiring 41 and signal wiring 42 are arranged in the shape of [which intersects perpendicularly mutually] a matrix. A thin film transistor 43 (switching element) is connected to the point that the address wiring 41 and signal wiring 42 cross, as a switching element. The insulating material was prepared in the part without the electric connection between the address wiring 41 and signal wiring 42, and short-circuit with the address wiring 41 and signal wiring 42 is prevented. The pixel 40 which performs a liquid crystal display is connected to a thin film transistor 43. The electrode pads 44 (the 1st electrode pad) and 45 (the 2nd electrode pad) which impress the electrical potential difference

for a drive to a thin film transistor 43 are formed in the termination of the address wiring 41 and signal wiring 42. Between the liquid crystal display field where a pixel 40 and a thin film transistor 43 are arranged, and the electrode pads 44 and 45, in order to ease static electricity which starts a liquid crystal display field, the short ring 46 (auxiliary wiring) with conductivity is arranged. The short ring 46 and signal wiring 42 are connected through the electrostatic-protection means 47 (the 1st electrostatic-protection means). The end of the electrostatic-protection means 47 is connected to the point A of the address wiring 41 or signal wiring 42 (node A), and the other end is connected to the position of the short ring 46. Moreover, the short ring 46 and the address wiring 41 are connected through the electrostatic-protection means 47. The end of the electrostatic-protection means 47 is connected to the point A of signal wiring 42 (node A), and the other end is connected to the position of the short ring 46.

[0024] Moreover, between the point B on signal wiring 42 (node B), and the point C on the short ring 46 (node C), a capacitor 54 (the 2nd electrostatic-protection means, accumulation-of-electricity component) is connected. The capacity of a capacitor 54 is C_2 . Moreover, between the point A on signal wiring 42 (node A), and Point B (node B), resistance 52 (the 2nd electrostatic-protection means) is inserted. The resistance of resistance 52 is R_2 .

[0025] Next, with reference to drawing 2, the electrostatic-protection means 47 and the circuitry of the circumference of it are explained. The electrostatic-protection means 47 consists of an n channel enhancement type transistor 12 (a) and an n channel enhancement type transistor 12 (b). It is the circuit which connects the source electrode (or drain electrode) of a transistor 12 (a), and the drain electrode (or source electrode) of a transistor 12 (b), and connects mutual gate voltage to the source electrode or drain electrode which is different from each other. According to this configuration, a high on-off ratio can be obtained before and behind a threshold electrical potential difference. Moreover, the existing capacitor 110 of capacity value C_1 (a) and 110 (b) are made into internal capacity a transistor 12 (a) and 12 (b). Moreover, the n channel enhancement type transistor 12 (a) and the end of 12 (b) are grounded through the wiring resistance 104 (a), 104 (b), and 109, and the other end is connected to Node A through the wiring resistance 100 and 101 (a) and 101 (b). The capacitor 54 of capacity C_2 connected between Node B and Node C is grounded through the short ring 46. Here, total of the resistance of the wiring resistance 100 and 101

(a), 104 (a), and 109 is set to R1. Moreover, total of the resistance of the wiring resistance 100 and 101 (b), 104 (b), and 109 is set to R1. The resistance 52 which becomes resistance R2 is inserted between the node A by the side of the electrode pad 45, and Node B.

[0026] Temporarily, if the electrical potential difference impressed from the electrode pad 45 is forward, a transistor 12 (a) will flow, and if an electrical potential difference is negative, a transistor 12 (b) will flow. A different example of a configuration from the configuration of the electrostatic-protection means 47 mentioned above is explained with reference to drawing 3 R> 3.

[0027] First, the configuration of drawing 3 (a) is the circuit which connected two diodes of each other to juxtaposition at the reverse sense. According to this configuration, the switching rate of a thin film transistor 43 can be made quick.

[0028] Moreover, the configuration of drawing 3 (b) is the circuit which connected resistance and a capacitor to the serial. According to this configuration, the configuration of the electrostatic-protection means 47 becomes brief, and a manufacturing cost is reduced.

[0029] When surge voltage is impressed to the electrostatic-protection means 47, the resistance 52, and the capacitor 54 which carry out such a configuration from the electrode pad 45, a predetermined transistor flows with the time lag given by the time constant R1 and C1. The electrical potential difference of Node B takes action by the time constant R2 and C2 for the current by surge voltage to discharge through a capacitor 54. Relation between a time constant R2, C2 and R1, and C1 is carried out like a formula (1).

[0030] [Equation 1] $R2 \text{ and } C2 > R1, C1 \dots (1)$

Since the electrical potential difference of Node B can be kept low until a transistor 12 (a) or 12 (b) flows if it is made the relation shown in a formula (1), degradation of the property of the thin film transistor 43 which constitutes the pixel 40 by surge voltage can be decreased.

[0031] Here, with reference to drawing 4, the relation between surge voltage and a thin film transistor 43 is explained. The surge voltage of 500 [V] is impressed to the electrode pad 45 of signal wiring 42, and a parameter is shown for change of the threshold electrical potential difference of a thin film transistor 43 nearest to the electrode pad 45 as $(R2, C2/R1, \text{ and } C1)$.

[0032] Parameter $(R2, C2/R1, C1) >$ Even if it sees the range of 1, most amounts of fluctuation of a threshold are not seen so that clearly. If a parameter is set as such relation, the amount of fluctuation of a threshold can be lessened. That is,

the stable property can always be acquired, without giving electric stress to a thin film transistor 43.

[0033] Next, the laminated structure of a thin film transistor 43 and a capacitor 54 is explained with reference to drawing 5. On a glass substrate 61, the gate electrode 62 and the capacitor electrode 72 are formed. The gate electrode 62 and the capacitor electrode 72 are formed in gate dielectric film 63 and the capacitor insulator layer 73 by the wrap. The gate electrode 62 is connected with the address wiring 41. Moreover, the capacitor electrode 72 is connected to the short ring 46.

[0034] A capacitor 54 is made at the same process as a thin film transistor 43. Hereafter, the configuration of a thin film transistor 43 is explained. On gate dielectric film 63, the barrier layer 64 which consists of an i-type semiconductor is arranged, and a source field, a drain field, and a channel field are formed on a barrier layer 64. On a barrier layer 64, the channel protective coat 65 which consists of an insulator used as the channel field of a thin film transistor 43 is formed. Moreover, corresponding to a source field and a drain field, a barrier layer 64 and the channel protective coat 65 are contacted, and the contact layers 66a and 66b of each other which consist of an n+ mold semi-conductor are formed with predetermined spacing. Contact layer 66a and a barrier layer 64 are contacted, and source electrode 67a or drain electrode 67b is formed. Moreover, contact layer 66b and a barrier layer 64 are contacted, and source electrode 67a or drain electrode 67b is prepared. In drawing 5, the pixel electrode 68 is connected to source electrode 67a, and signal wiring 42 is connected to drain electrode 67b.

[0035] Moreover, a transistor 12 (a) and 12 (b) are manufactured at the same process as a thin film transistor 43. Next, the configuration of a capacitor 54 is explained.

[0036] On the capacitor insulator layer 73, the laminating of an i-type semiconductor 74 and the n+ semi-conductor 76 is carried out. The capacitor electrode 77 is formed on the capacitor insulator layer 73 in an i-type semiconductor 74 and the n+ semi-conductor 76 at the wrap.

[0037] Here, while the barrier layer 64 of a thin film transistor 43 is formed on the gate protective coat 63, the laminating of the i-type semiconductor 74 is carried out on the capacitor insulator layer 73, and while the contact layers 66a and 66b are formed in a barrier layer 64, the laminating of the n-type semiconductor 76 is carried out on an i-type semiconductor 74. Moreover, the capacitor electrode 77 is formed on the n+ semi-conductor 76 while source electrode 67a and drain electrode 67b are formed on contact

layer 66a and 66b.

[0038] Thus, the configuration of the resistance 52 and the capacitor 54 which are provided on the transistor 12 (a) constituted, the electrostatic-protection means 47 using 12 (b), and the outskirts of it is explained with reference to drawing 6.

[0039] A transistor 12 (a) and 12 (b) are connected to common source electrode 67a and drain electrode 67b. Gate electrode 62a of a transistor 12 (a) and drain electrode 67b are electrically connected by through hole 201a. Gate electrode 62a and drain electrode 67b are connected to the electrode pad 45. Moreover, source electrode 67a and gate electrode 62b of a transistor 12 (b) are connected by through hole 201b, and source electrode 67a and gate electrode 62b are connected to the short ring 46. The short ring 46 is connected to a capacitor 54. Resistance 52 is connected between the electrode pad 45 and a capacitor 54. The channel protective coat 65 formed on barrier layer 64a (or barrier layer 64b) is formed so that the part may touch these under source electrode 67a and drain electrode 67b.

[0040] Width of face W1 of drain electrode 67b is enlarged compared with the width of face W2 of resistance 52. Moreover, area S1 of the part which source electrode 67a, drain electrode 67b, and the gate electrode 62 overlap is made smaller than the electrode surface product S2 of the auxiliary capacity 54. By such configuration, a time constant R1, C1 and a time constant R2, and the relation of C2 can become like a formula (1), and degradation of the property of the thin film transistor 43 by surge voltage can be decreased.

[0041] Hereafter, actuation of the 1st example of the active-matrix panel which consists of such a configuration is explained. A pixel 40 is controlled in order to display a desired pattern in a viewing area. In order to control a pixel 40, a desired electrical potential difference must be impressed to the thin film transistor 43 used as a switching element. The electrode pad 44 impresses a desired electrical potential difference to the gate electrode 62 of a thin film transistor 43. Moreover, the electrode pad 45 impresses a desired electrical potential difference to source electrode 67a of a thin film transistor 43, or drain electrode 67b. The thin film transistor 43 to which the desired electrical potential difference was impressed displays the request, controlling the pixel 40 connected sequentially.

[0042] Here, suppose that the surge voltage by static electricity arose in the electrode pad 45. Although a current flows through resistance 52, time amount until the electrostatic-protection means 47 flows through the current by surge voltage with the relation (formula (1)) of the time

constant of the electrostatic-protection means 47, and a resistance 52 and a capacitor 54. After most of the currents are accumulated in a capacitor 54 and the electrostatic-protection means 47 flows, the charge accumulated in the current which flows with surge voltage, and the capacitor 54 flows to the short ring 46 through the electrostatic-protection means 47. For this reason, the current produced with surge voltage hardly flows to a thin film transistor 43.

[0043] In the active matrix of the 1st example which was described above, most currents which direct surge voltage is impressed to the electrode pad 45 of signal wiring 42 by static electricity, and flow with the impressed surge voltage discharge to the liquid crystal display field exterior through the short ring 46 through the electrostatic-protection means 47. Therefore, the current by surge voltage does not flow to a thin film transistor 43. Therefore, the high voltage cannot be impressed to a thin film transistor 43, but change (degradation) of the property of a thin film transistor 43 can be prevented, and the liquid crystal display stabilized for a long period of time can be used. Furthermore, the short-circuit between layers with the address wiring 41 and signal wiring 42 by surge voltage (pulse of the high voltage), the short-circuit between layers in a thin film transistor 43, etc. are avoidable. Moreover, since the element which constitutes the electrostatic-protection means 47 and the 2nd electrostatic-protection means (resistance 52 and capacitor 54) can be manufactured to a thin film transistor 43 and coincidence, it can reduce a manufacturing cost.

[0044] Next, the configuration of the 2nd example of an active-matrix panel is explained, referring to drawing 7. In addition, the same sign is given to the same component as the 1st example of the above, and the overlapping explanation is omitted.

[0045] The description of the 2nd example is protecting a thin film transistor 43 from the surge voltage by static electricity which considered as the configuration which connected the electrostatic-protection means 47, and resistance 53 and a capacitor 55 to juxtaposition between the address wiring 41 and the short ring 46, and discharged to the electrode pad 44.

[0046] Drawing 7 is the circuit diagram of the 2nd example of an active-matrix panel. The address wiring 41 and signal wiring 42 are arranged in the shape of a matrix so that it may intersect perpendicularly mutually. A thin film transistor 43 is connected to the point that the address wiring 41 and signal wiring 42 cross, as a switching element. The pixel 40 which performs a liquid crystal display is connected to a thin film transistor 43. The electrode pads 44 and 45 which

impress the electrical potential difference for a drive to a thin film transistor 43 are formed in the termination of the address wiring 41 and signal wiring 42. Between the liquid crystal display field where a pixel 40 and a thin film transistor 43 are arranged, and the electrode pads 44 and 45, the short ring 46 with conductivity which eases static electricity which happens to a liquid crystal display field is arranged. The short ring 46, and the address wiring 41 or signal wiring 42 is connected through the electrostatic-protection means 47 (the 1st electrostatic-protection means). The end of the electrostatic-protection means 47 is connected to the point A of the address wiring 41 or signal wiring 42 (node A), and the other end is connected to the position of the short ring 46. Moreover, between the point B on the address wiring 41 or signal wiring 42 (node B), and the point C on the short ring 46 (node C), capacitors 55 (the 2nd electrostatic-protection means) and 54 (the 2nd electrostatic-protection means) are connected.

[0047] Moreover, between the point A on the address wiring 41 or signal wiring 42 (node A), and Point B (node B), resistance 53 (the 2nd electrostatic-protection means) and 52 (the 2nd electrostatic-protection means) is inserted. The configuration and actuation of the electrostatic-protection means 47 are fundamentally the same as that of the 1st example.

[0048] Actuation of the 2nd example of the active-matrix panel which consists of such a configuration is explained. A pixel 40 is controlled in order to display a desired pattern in a viewing area. In order to control a pixel 40, a desired electrical potential difference must be impressed to the thin film transistor 43 used as a switching element. The electrode pad 44 impresses a desired electrical potential difference to the gate electrode 62 of a thin film transistor 43. Moreover, the electrode pad 45 impresses a desired electrical potential difference to source electrode 67a of a thin film transistor 43, or drain electrode 67b. The thin film transistor 43 to which the desired electrical potential difference was impressed displays controlling the pixel 40 connected sequentially.

[0049] Here, suppose that the surge voltage by static electricity arose in the electrode pad 45. With the relation (formula (1)) of the time constant of the electrostatic-protection means 47, and a resistance 52 and a capacitor 54, it does not flow to resistance 52, but the most flows for the electrostatic-protection means 47, and the current by surge voltage flows to the liquid crystal display field exterior through the short ring 46. For this reason, the current produced with surge voltage

hardly flows to a thin film transistor 43.

[0050] Next, suppose that the surge voltage by static electricity arose in the electrode pad 44. Most of the currents flow to a capacitor 55, and time amount until the electrostatic-protection means 47 flows through the current by surge voltage with the relation (formula (1)) of the time constant of the electrostatic-protection means 47, and a resistance 53 and a capacitor 55 is accumulated, although it flows through resistance 53. After the electrostatic-protection means 47 flows, the charge accumulated in the current and capacitor 55 which flow with surge voltage flows to the short ring 46 through the electrostatic-protection means 47. For this reason, the current produced with surge voltage hardly flows to a thin film transistor 43.

[0051] In the active matrix of the 2nd example which was described above, most currents which direct surge voltage is impressed to the electrode pads 45 and 44 of signal wiring 42 or the address wiring 41 by static electricity, and flow with the impressed surge voltage discharge to a gland through the short ring 46 through the electrostatic-protection means 47. Therefore, the current by surge voltage does not flow to a thin film transistor 43. That is, the high voltage is not impressed to a thin film transistor 43, but the liquid crystal display which did not change the property of a thin film transistor 43 (degradation), and was stabilized for a long period of time can be used. Furthermore, the short-circuit between layers with the address wiring 41 and signal wiring 42 by surge voltage (pulse of the high voltage), the short-circuit between layers in a thin film transistor 43, etc. are avoidable. Moreover, since the element which constitutes the electrostatic-protection means 47 and the 2nd electrostatic-protection means (resistance 52 and 53 and capacitors 54 and 55) is manufactured by a thin film transistor 43 and coincidence, it can reduce a manufacturing cost.

[0052] Moreover, the dependability of the thin film transistor 43 to the surge voltage of the electrode pads 44 and 45 can be raised by forming the electrostatic-protection means 47, and resistance 52 and 53 and capacitors 54 and 55 in signal wiring 42 and the address wiring 41. Therefore, the transistor characteristics stabilized over the long period of time can be acquired. Moreover, the electrostatic-protection means 47, and resistance 52 and 53 and capacitors 54 and 55 can also be used for semiconductor memory etc.

[0053] In addition, it cannot be overemphasized that it deforms variously and can carry out in the range which this invention is not limited to the above-mentioned example, and does not deviate from the main point. For example, resistance may

consist of same ingredients as signal wiring or address wiring.

[0054]

[Effect of the Invention] Even when the surge voltage by static electricity explained above is impressed to the electrode pad connected to signal wiring or address wiring like according to this invention, the property of a thin film transistor is not degraded and the transistor characteristics stabilized over the long period of time can be acquired.

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram of the 1st example of the active-matrix panel of this invention

[Drawing 2] The circuit diagram of the 1st electrostatic-protection means [concerning the 1st example of the active-matrix panel of this invention], and 2nd electrostatic-protection means circumference

[Drawing 3] The circuit diagram of the 1st electrostatic-protection means concerning the 1st example of the active-matrix panel of this invention

[Drawing 4] The graph which shows the relation between a parameter (R_2 , C_2/R_1 , C_1) and the threshold of a thin film transistor

[Drawing 5] The sectional view of the thin film transistor concerning the 1st example of the active-matrix panel of this invention, and auxiliary capacity

[Drawing 6] The top view of the 1st electrostatic-protection means [concerning the 1st example of the active-matrix panel of this invention], and 2nd electrostatic-protection means circumference

[Drawing 7] The circuit diagram of the 2nd example of the active-matrix panel of this invention

[Drawing 8] The circuit diagram of the conventional active-matrix panel

[Description of Notations]

12, 12a, 12b Signal wiring

40 Pixel

41 Address Wiring

42 Signal Wiring

43, 43a, 43b Thin film transistor

44 45 Electrode pad

46 Short Ring

47 Electrostatic-Protection Means (1st Electrostatic-Protection Means)

52 53 Resistance (the 2nd electrostatic-protection means)

54 55 Capacitor (the 2nd electrostatic-protection means)

61 Substrate

62 Gate Electrode

63 Gate Dielectric Film

64 Barrier Layer

65 Channel Protective Coat

66a, 66b Contact layer

67a, 67b A source electrode or drain electrode

68 Pixel Electrode

72 77 Capacitor electrode

73 Capacitor Insulator Layer

74 I-type Semiconductor

76 N-type Semiconductor

100, 101 (a), 101 (b), 104 (a), 104 (b) Wiring resistance

110 Existing KONDENENSA

201a, 201b Through hole

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-265110

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1345	
H 0 1 L 29/786			H 0 1 L 29/78	6 2 3 A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平8-73401

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 多田 正浩

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 内古閑 修一

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

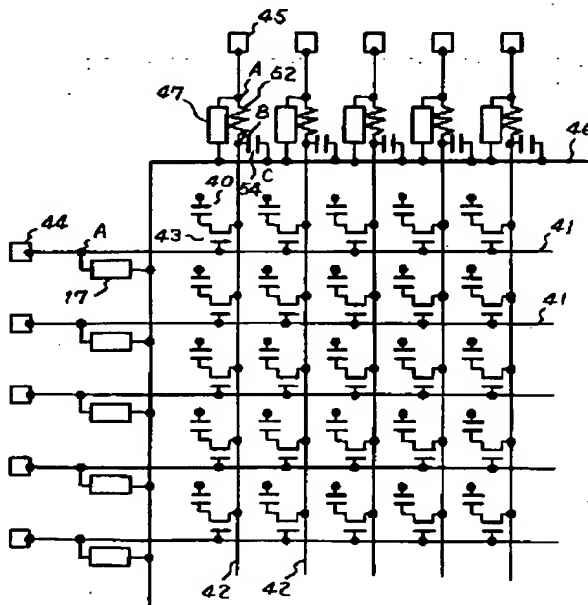
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 アクティブマトリックスパネル

(57) 【要約】

【課題】従来は、電極パッドに直接サージ電圧が印加された場合に、静電気保護手段では薄膜トランジスタの特性を保護することは出来なかった。

【解決手段】アドレス配線41と信号配線42とが交差する点には、薄膜トランジスタ43が接続される。アドレス配線41と信号配線42には、薄膜トランジスタ43に電圧を印加する電極パッド44、45が設けられ、その間に静電気を緩和するショートリング46が配置される。ショートリング46と、信号配線42とは、静電気保護手段47を介して接続される。信号配線42上の点Bとショートリング46上の点Cとの間には、コンデンサ54が接続される。信号配線42上の点Aと点Bとの間には、抵抗52が挿入される。この様な構成により、サージ電圧による電流を静電気保護手段47と抵抗52、コンデンサ54との所定の時定数にすることで、薄膜トランジスタ43の特性を劣化させない。



【特許請求の範囲】

【請求項1】液晶を駆動するマトリックス状に配置された複数の画素と、前記画素に接続され、前記画素のスイッチングを行う複数のスイッチング素子と、前記スイッチング素子のソース電極あるいはドレイン電極に接続される複数の信号配線と、前記スイッチング素子のゲート電極に接続され、前記信号配線と交差して配置される複数のアドレス配線と、前記信号配線に接続され、前記ソース電極あるいはドレイン電極に電圧を印加する第1の電極パッドと、前記アドレス配線に接続され、前記ゲート電極に電圧を印加する第2の電極パッドと、前記信号配線あるいは前記アドレス配線の内少なくともどちらか一方に一端が接続され、他端が補助配線に接続される第1静電気保護手段と、前記第1静電気保護手段と並列に接続され、前記第1静電気保護手段の時定数より大きな時定数を持つ第2静電気保護手段とからなることを特徴とするアクティブマトリックスパネル。

【請求項2】前記第2静電気保護手段は、前記信号配線あるいは前記アドレス配線の内少なくともどちらか一方に設けられる前記第1静電気保護手段と前記スイッチング素子との間に挿入される抵抗と、一端が該抵抗に接続され、他端が前記補助配線に接続される蓄電素子とから構成されることを特徴とする請求項1記載のアクティブマトリックスパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックスパネルに係り、特に静電気保護手段が設けられたアクティブマトリックスパネルに関する。

【0002】

【従来の技術】近年ノートブックタイプのパーソナルコンピュータの販売台数は急速に増加しており、それと合わせてマイクロプロセッサの高性能化、ディスプレイのカラー化を始めとする高性能化が急速に進んでいる。

【0003】現在ノートブックタイプのパーソナルコンピュータのディスプレイとしては、白黒及びカラーの液晶表示装置として液晶ディスプレイLCD(Liquid Crystal Display)が使用されている。LCDは低消費電力を特徴としている。

【0004】しかし、液晶表示装置を構成する物質の大半は絶縁物であるため、液晶表示装置の製造工程中に静電気が蓄積され、蓄積された静電気が液晶表示装置内で放電する可能性がある。

【0005】また、トランジスタを各画素のスイッチング素子としてマトリックス状に配列するアクティブマトリックスパネル型の液晶表示装置では、静電気が画質を著しく劣化させる原因となる。

【0006】また、画素に印加される電圧を制御するために、導電性配線からなるアドレス配線と信号配線とが絶縁物を介して格子状に配置される。そのため静電気に

よりアドレス配線と信号配線との間の電位差が大きくなると、アドレス配線と信号配線との間に設けられる絶縁膜が破壊されるといった問題が生じる。

【0007】絶縁膜が破壊されると、アドレス配線と信号配線との間がショートし、アドレス配線と信号配線とに与えられる信号が正確にトランジスタに伝達されず、画素の電圧制御が行えず、液晶表示装置に点欠陥や線欠陥等が生じ画質が著しく劣化することになる。

【0008】また、アドレス配線間や信号配線間あるいはアドレス配線と信号配線との間に生じた静電気による電位差は、薄膜トランジスタ間のショートやトランジスタ等の素子特性を劣化させ、点欠陥や線欠陥等をもたらし、画質を劣化させていた。

【0009】上述される様な問題に対して、従来以下の様な構成によって、静電気による問題を解消していた。以下、従来のアクティブマトリックスパネルの構成について、図面を参照しながら説明する。

【0010】図8は、アクティブマトリックスパネルの回路図である。複数のアドレス配線11と複数の信号配線12とがマトリックス状に配置される。アドレス配線11と信号配線12との交点には、画素を制御するスイッチング素子として薄膜トランジスタ13(Thin Film Transistor)が接続される。アドレス配線11あるいは信号配線12の終端には、薄膜トランジスタ13に電力を供給する電極パッド14、15が設けられる。薄膜トランジスタ13が配置される表示領域と電極パッド14、15との間には、導電性の配線で形成されるショートリング16が設けられる。ショートリング16とアドレス配線11あるいは信号配線12とは、静電気保護手段17を介して接続される。

【0011】この様な構成からなるアクティブマトリックスパネルの動作について説明する。電極パッド14、15からアドレス配線11あるいは信号配線12を介して薄膜トランジスタ13に、所定の電圧が印加され、印加された電圧によって薄膜トランジスタ13を動作させ画素を制御し、液晶表示装置に所望の図柄を表示する。ここで、液晶表示装置の製造装置とアクティブマトリックスパネルとの間の摩擦や剥離帯電によって、表示領域内に電位差が発生したとする。

【0012】具体的には、アドレス配線11aとアドレス配線11bとの間に電位差が生じることになる。この電位差は、経路18(アドレス配線11a→静電気保護手段17→ショートリング16→静電気保護手段17→アドレス配線11b)に示される通路を通り緩和され、薄膜トランジスタ13の静電破壊を防止する。

【0013】

【発明が解決しようとする課題】しかしながら、上記の様な構成からなるアクティブマトリックスパネルでは、アクティブマトリックスパネル外部との静電気による放電で電極パッドに直接サージ電圧が印加された場合、静

電気保護手段では完全に薄膜トランジスタを保護することができないという問題があった。

【0014】また、静電気が直接電極パッドに印加されるのは、液晶表示装置の基板周辺と液晶表示装置を製造する製造装置の基板との間に電位差が発生した場合であり、この電位差により液晶表示装置の基板端に設けられた導電性を持つ電極パッドに静電放電が生じる。

【0015】アドレス配線や信号配線へ電力を供給する電極パッドにサージ電圧が印加されると、薄膜トランジスタ等で構成される表示領域内にも影響を及ぼす。これは、サージ電圧がアドレス配線や信号配線に、駆動波形を印加する代わりに短時間ながら高電圧のパルス印加することと同一である。すると信号配線やアドレス配線を通して薄膜トランジスタにも高電圧のパルスが印加されることになり、アドレス配線と信号配線との間の層間ショートや薄膜トランジスタ内での層間ショートを起こすといった問題があった。

【0016】また、電極パッドで静電放電が生じた場合には、上述した層間ショートが発生しない様な弱いサージ電圧でも液晶表示装置の表示欠陥が発生することもある。薄膜トランジスタは短時間であっても高電圧が印加されたり、層間ショートが発生しない弱い静電放電でも、電氣的なストレスによって、薄膜トランジスタの特性が変化し、画素の電圧制御を困難にするといった問題もあった。

【0017】具体的には、サージ電圧がアドレス配線あるいは信号配線の電極パッドに印加されると、薄膜トランジスタのしきい値電圧が変動し画素に十分な電圧を与えることができなくなり、その結果表示欠陥となる。

【0018】したがって、静電気保護手段は、アドレス配線間や信号配線間あるいは信号配線とアドレス配線との間の不均一な電位差をなくすることはできるが、電極パッドからの静電気により生じる電位差をなくし均一の電圧にすることは困難である。

【0019】また、蓄積された静電気により発生するサージ電圧が、直接電極パッドに印加される場合には、液晶表示装置を構成する薄膜トランジスタの特性を劣化させることなく、十分に短い時間でアドレス配線間や信号配線間あるいはアドレス配線と信号線との間の電位差をなくすることは困難である。

【0020】そこで、本発明は上記従来の問題点に鑑みてなされたもので、静電気によるサージ電圧が、信号配線やアドレス配線に接続される電極パッドに印加された場合でも、薄膜トランジスタの特性を劣化させず、長期間劣化することのない安定した薄膜トランジスタの特性を持つアクティブマトリックスパネルの提供を目的とする。

【0021】

【課題を解決するための手段】上記の目的を達成するために、本発明は、液晶を駆動するマトリックス状に配置

された複数の画素と、前記画素に接続され、前記画素のスイッチングを行う複数のスイッチング素子と、前記スイッチング素子のソース電極あるいはドレイン電極に接続される複数の信号配線と、前記スイッチング素子のゲート電極に接続され、前記信号配線と交差して配置される複数のアドレス配線と、前記アドレス配線に接続され、前記ソース電極あるいはドレイン電極に電圧を印加する第1の電極パッドと、前記信号配線に接続され、前記ゲート電極に電圧を印加する第2の電極パッドと、前記信号配線あるいは前記アドレス配線の内少なくともどちらか一方に一端が接続され、他端が補助配線に接続される第1静電気保護手段と、前記第1静電気保護手段と並列に接続され、前記第1静電気保護手段の時定数より大きな時定数を持つ第2静電気保護手段とから構成される。

【0022】

【発明の実施の形態】以下、本発明の実施例を図面を参照しながら説明していく。図1は、アクティブマトリックスパネルの第1実施例の回路図で、図2はアクティブマトリックスパネルの第1実施例に係る第1静電気保護手段の回路図で、図3は、アクティブマトリックスパネルの第1実施例に係る第1静電気保護手段及び第2静電気保護手段周辺の回路図で、図4は、パラメータ($R2 \cdot C2 / R1 \cdot C1$)と薄膜トランジスタのしきい値との関係を示すグラフで、図5は薄膜トランジスタ及び補助容量の断面図で、図6は、アクティブマトリックスパネルの第1実施例に係る第1静電気保護手段及び第2静電気保護手段周辺の平面図である。

【0023】アドレス配線41と信号配線42とは互いに直交するマトリックス状に配置される。アドレス配線41と信号配線42とが交差する点には、スイッチング素子として薄膜トランジスタ43・(スイッチング素子)が接続される。アドレス配線41と信号配線42との電氣的な接続がない部分には絶縁物が設けられ、アドレス配線41と信号配線42とのショートを防いでいる。薄膜トランジスタ43には、液晶表示を行う画素40が接続される。アドレス配線41と信号配線42との終端には、薄膜トランジスタ43に駆動用の電圧を印加する電極パッド44(第1電極パッド)、45(第2電極パッド)が設けられる。画素40と薄膜トランジスタ43とが配置される液晶表示領域と、電極パッド44、45との間には、液晶表示領域におこる静電気を緩和するために、導電性を持つショートリング46(補助配線)が配置される。ショートリング46と、信号配線42とは、静電気保護手段47(第1静電気保護手段)を介して接続される。静電気保護手段47の一端は、アドレス配線41あるいは信号配線42の点A(ノードA)に、他端はショートリング46の所定の位置に接続される。また、ショートリング46とアドレス配線41とは静電気保護手段47を介して接続される。静電気保護手段47

の一端は、信号配線42の点A（ノードA）に、他端はショートリング46の所定の位置に接続される。

【0024】また、信号配線42上の点B（ノードB）とショートリング46上の点C（ノードC）の間には、コンデンサ54（第2静電気保護手段、蓄電素子）が接続される。コンデンサ54の容量はC2である。また、信号配線42上の点A（ノードA）と点B（ノードB）の間には、抵抗52（第2静電気保護手段）が挿入される。抵抗52の抵抗値はR2である。

【0025】次に、図2を参照して静電気保護手段47とその周辺の回路構成について説明する。静電気保護手段47は、nチャネルエンハンスメント型トランジスタ12（a）とnチャネルエンハンスメント型トランジスタ12（b）とから構成される。トランジスタ12

（a）のソース電極（あるいはドレイン電極）とトランジスタ12（b）のドレイン電極（あるいはソース電極）とを接続し、互いのゲート電圧を、相異なるソース電極あるいはドレイン電極に接続する回路である。この構成によると、しきい値電圧前後で高いオンオフ比を得ることができる。また、トランジスタ12（a）、12（b）には、容量値C1の既存コンデンサ110

（a）、110（b）が内部容量としてある。また、nチャネルエンハンスメント型トランジスタ12（a）、12（b）の一端は、配線抵抗104（a）、104（b）、109を介してアースされ、他端はノードAに

配線抵抗100、101（a）、101（b）を介して接続される。ノードBとノードCとの間に接続される容量C2のコンデンサ54は、ショートリング46を介してアースされる。ここで、配線抵抗100、101

（a）、104（a）、109の抵抗値の総和をR1とする。また、配線抵抗100、101（b）、104（b）、109の抵抗値の総和をR1とする。電極パッド45側のノードAとノードBの間には抵抗値R2なる抵抗52が挿入される。

【0026】仮に、電極パッド45から印加される電圧が正であれば、トランジスタ12（a）が導通し、電圧が負であれば、トランジスタ12（b）が導通する。前述した静電気保護手段47の構成とは異なる構成例を図3を参照して説明する。

【0027】まず、図3（a）の構成は、2つのダイオードを互いに逆向きに並列に接続した回路である。この構成によると、薄膜トランジスタ43のスイッチング速度を速くできる。

【0028】また、図3（b）の構成は、抵抗とコンデンサとを直列に接続した回路である。この構成によると、静電気保護手段47の構成が簡潔になり製造コストを低減させる。

【0029】このような構成をする静電気保護手段47及び抵抗52及びコンデンサ54に、電極パッド45からサージ電圧が印加された場合は、時定数 $R1 \cdot C1$ で与

えられる時間の遅れを伴って所定のトランジスタが導通される。ノードBの電圧は、サージ電圧による電流がコンデンサ54を介して放電されるため、時定数 $R2 \cdot C2$ で立ち上がる。時定数 $R2 \cdot C2$ と $R1 \cdot C1$ との関係を式（1）の様にする。

【0030】

【数1】 $R2 \cdot C2 > R1 \cdot C1 \dots (1)$

式（1）に示される関係にすれば、トランジスタ12

（a）あるいは12（b）が導通するまでの間、ノードBの電圧を低く保つことができるため、サージ電圧による画素40を構成する薄膜トランジスタ43の特性の劣化を減少させることができる。

【0031】ここで、図4を参照してサージ電圧と薄膜トランジスタ43との関係について説明する。信号配線42の電極パッド45に500[V]のサージ電圧を印加し、その電極パッド45に一番近い薄膜トランジスタ43のしきい値電圧の変化を、パラメータを $(R2 \cdot C2 / R1 \cdot C1)$ として示す。

【0032】パラメータ $(R2 \cdot C2 / R1 \cdot C1) > 1$ の範囲を見ても明らかな様に、しきい値の変動量はほとんど見られない。このような関係にパラメータを設定すれば、しきい値の変動量を少なくすることができる。つまり、薄膜トランジスタ43に電気的なストレスを与えることなく、安定した特性を常に得ることができる。

【0033】次に、薄膜トランジスタ43とコンデンサ54との積層構造について図5を参照して説明する。ガラス基板61上には、ゲート電極62、キャパシタ電極72が形成される。ゲート電極62、キャパシタ電極72を覆う様にゲート絶縁膜63、キャパシタ絶縁膜73が設けられる。ゲート電極62は、アドレス配線41と接続される。また、キャパシタ電極72は、ショートリング46に接続される。

【0034】コンデンサ54は、薄膜トランジスタ43と同一工程で制作される。以下、薄膜トランジスタ43の構成について説明する。ゲート絶縁膜63上には、i型半導体からなる活性層64が配置され、活性層64上にはソース領域とドレイン領域とチャネル領域とが形成される。活性層64上には薄膜トランジスタ43のチャネル領域となる絶縁体からなるチャネル保護膜65が形成される。またソース領域及びドレイン領域に対応して、活性層64とチャネル保護膜65とに接触し、n+型半導体からなるコンタクト層66a、66bが互いに所定の間隔を持って設けられる。コンタクト層66aと活性層64とに接触してソース電極67aあるいはドレイン電極67bが形成される。また、コンタクト層66bと活性層64とに接触してソース電極67aあるいはドレイン電極67bが設けられる。図5中では、ソース電極67aに画素電極68が接続され、ドレイン電極67bに信号配線42が接続される。

【0035】また、トランジスタ12（a）、12

(b) も薄膜トランジスタ43と同一工程で製作される。次に、コンデンサ54の構成について説明する。

【0036】キャパシタ絶縁膜73上には、i型半導体74とn+半導体76とが積層される。i型半導体74とn+半導体76とを覆う様にキャパシタ電極77がキャパシタ絶縁膜73上に形成される。

【0037】ここで、i型半導体74は薄膜トランジスタ43の活性層64がゲート保護膜63上に形成されると共にキャパシタ絶縁膜73上に積層され、またn型半導体76は、コンタクト層66a、66bが活性層64に形成されると共にi型半導体74上に積層される。また、キャパシタ電極77は、ソース電極67a及びドレイン電極67bがコンタクト層66a、66b上に形成されると共にn+半導体76上に形成される。

【0038】この様に構成されるトランジスタ12

(a)、12(b)を用いた静電気保護手段47とその周辺に具備される抵抗52とコンデンサ54との構成について図6を参照して説明する。

【0039】トランジスタ12(a)、12(b)は、共通したソース電極67a及びドレイン電極67bに接続される。トランジスタ12(a)のゲート電極62aとドレイン電極67bとは、スルーホール201aによって電氣的に接続される。ゲート電極62aとドレイン電極67bとは、電極パッド45に接続される。また、ソース電極67aとトランジスタ12(b)のゲート電極62bとはスルーホール201bによって接続され、ソース電極67aとゲート電極62bとはショートリング46に接続される。ショートリング46はコンデンサ54に接続される。電極パッド45とコンデンサ54との間には、抵抗52が接続される。活性層64a(または活性層64b)上に形成されるチャネル保護膜65は、その一部がソース電極67aとドレイン電極67bの下で、これらに接する流す様に形成される。

【0040】ドレイン電極67bの幅W1は、抵抗52の幅W2と比べて大きくする。また、ソース電極67a、ドレイン電極67bとゲート電極62とが重なり合う部分の面積S1は、補助容量54の電極面積S2よりも小さくする。この様な構成により、時定数 $R1 \cdot C1$ と時定数 $R2 \cdot C2$ との関係が式(1)の様になり、サージ電圧による薄膜トランジスタ43の特性の劣化を減少させることができる。

【0041】以下、この様な構成からなるアクティブマトリックスパネルの第1実施例の動作について説明する。表示領域内に所望の図柄を表示するために画素40が制御される。画素40を制御するためには、スイッチング素子となる薄膜トランジスタ43に所望の電圧を印加しなければならない。電極パッド44は、薄膜トランジスタ43のゲート電極62に所望の電圧を印加する。また電極パッド45は、薄膜トランジスタ43のソース電極67aあるいはドレイン電極67bに所望の電圧を

印加する。所望の電圧を印加された薄膜トランジスタ43は、接続される画素40を逐次制御しながら所望の表示を行っていく。

【0042】ここで、電極パッド45に静電気によるサージ電圧が生じたとする。サージ電圧による電流は、静電気保護手段47と、抵抗52及びコンデンサ54との時定数の関係(式(1))により、静電気保護手段47が導通するまでの時間は、抵抗52を介して電流が流れるが、その電流のほとんどがコンデンサ54に蓄積され、静電気保護手段47が導通した後は、サージ電圧によって流れる電流とコンデンサ54とに蓄積された電荷は、静電気保護手段47を介してショートリング46へと流れる。このためサージ電圧によって生じる電流は、ほとんど薄膜トランジスタ43に流れない。

【0043】以上述べた様な第1実施例のアクティブマトリックスでは、静電気により信号配線42の電極パッド45に直接サージ電圧が印加され、印加されたサージ電圧によって流れる電流のほとんどが、静電気保護手段47を介してショートリング46を通して液晶表示領域外部に放電される。そのため、サージ電圧による電流が薄膜トランジスタ43に流れることはない。よって、薄膜トランジスタ43に高電圧が印加されず、薄膜トランジスタ43の特性の変化(劣化)を防止し、長期間安定した液晶表示装置を使用することができる。さらに、サージ電圧(高電圧のパルス)による、アドレス配線41と信号配線42との層間ショートや薄膜トランジスタ43内の層間ショート等を回避することができる。また、静電気保護手段47や第2静電気保護手段(抵抗52やコンデンサ54)を構成する要素は、薄膜トランジスタ43と同時に製造できるため、製造コストを低減させることができる。

【0044】次に、アクティブマトリックスパネルの第2実施例の構成を図7を参照しながら説明する。なお、上記第1実施例と同一構成要素には、同一符号を付し、重複する説明は省略する。

【0045】第2実施例の特徴は、静電気保護手段47と、抵抗53及びコンデンサ55とを、アドレス配線41とショートリング46との間に並列に接続した構成とし、電極パッド44に放電された静電気によるサージ電圧から薄膜トランジスタ43を保護することである。

【0046】図7は、アクティブマトリックスパネルの第2実施例の回路図である。アドレス配線41と信号配線42とは互いに直交する様にマトリックス状に配置される。アドレス配線41と信号配線42とが交差する点には、スイッチング素子として薄膜トランジスタ43が接続される。薄膜トランジスタ43には、液晶表示を行う画素40が接続される。アドレス配線41と信号配線42との終端には、薄膜トランジスタ43に駆動用の電圧を印加する電極パッド44、45が設けられる。画素40と薄膜トランジスタ43とが配置される液晶表示領

域と、電極パッド44、45との間には、液晶表示領域に起こる静電気を緩和する、導電性を持つショートリング46が配置される。ショートリング46と、アドレス配線41あるいは信号配線42とは、静電気保護手段47（第1静電気保護手段）を介して接続される。静電気保護手段47の一端は、アドレス配線41あるいは信号配線42の点A（ノードA）に、他端はショートリング46の所定の位置に接続される。また、アドレス配線41あるいは信号配線42上の点B（ノードB）とショートリング46上の点C（ノードC）との間には、コン

デンサ55（第2静電気保護手段）、54（第2静電気保護手段）が接続される。
【0047】また、アドレス配線41あるいは信号配線42上の点A（ノードA）と点B（ノードB）の間には、抵抗53（第2静電気保護手段）、52（第2静電気保護手段）が挿入される。静電気保護手段47の構成及び動作は、基本的に第1実施例と同一である。

【0048】この様な構成からなるアクティブマトリックスパネルの第2実施例の動作について説明する。表示領域内に所望の図柄を表示するために画素40が制御される。画素40を制御するためには、スイッチング素子となる薄膜トランジスタ43に所望の電圧を印加しなければならない。電極パッド44は、薄膜トランジスタ43のゲート電極62に所望の電圧を印加する。また電極パッド45は、薄膜トランジスタ43のソース電極67aあるいはドレイン電極67bに所望の電圧を印加する。所望の電圧を印加された薄膜トランジスタ43は、接続される画素40を逐次制御しながら表示を行っていく。

【0049】ここで、電極パッド45に静電気によるサージ電圧が生じたとする。サージ電圧による電流は、静電気保護手段47と、抵抗52及びコンデンサ54との時定数の関係（式（1））により、抵抗52に流れず、静電気保護手段47にそのほとんどが流れショートリング46を通して液晶表示領域外部に流れる。このためサージ電圧によって生じる電流は、ほとんど薄膜トランジスタ43に流れない。

【0050】次に、電極パッド44に静電気によるサージ電圧が生じたとする。サージ電圧による電流は、静電気保護手段47と、抵抗53及びコンデンサ55との時定数の関係（式（1））により、静電気保護手段47が導通するまでの時間は、抵抗53を介して流れるが、その電流のほとんどがコンデンサ55に流れ、蓄積される。静電気保護手段47が導通した後は、サージ電圧によって流れる電流及びコンデンサ55に蓄積された電荷は、静電気保護手段47を介してショートリング46へと流れる。このためサージ電圧によって生じる電流は、ほとんど薄膜トランジスタ43に流れない。

【0051】以上述べた様な第2実施例のアクティブマトリックスでは、静電気により信号配線42あるいはア

ドレス配線41の電極パッド45、44に直接サージ電圧が印加され、印加されたサージ電圧によって流れる電流のほとんどが、静電気保護手段47を介してショートリング46を通してグランドに放電される。そのため、サージ電圧による電流が薄膜トランジスタ43に流れることがない。つまり、薄膜トランジスタ43に高電圧が印加されず、薄膜トランジスタ43の特性を変化（劣化）させることがなく、長期間安定した液晶表示装置を使用することができる。さらに、サージ電圧（高電圧のパルス）による、アドレス配線41と信号配線42との層間ショートや薄膜トランジスタ43内の層間ショート等を回避することができる。また、静電気保護手段47や第2静電気保護手段（抵抗52、53やコンデンサ54、55）を構成する要素は、薄膜トランジスタ43と同時に製造されるため、製造コストを低減することができる。

【0052】また、静電気保護手段47と、抵抗52、53及びコンデンサ54、55とを、信号配線42とアドレス配線41とに設けることにより、電極パッド44、45のサージ電圧に対する薄膜トランジスタ43の信頼性を向上させることができる。そのため、長期にわたって安定したトランジスタ特性を得ることができる。また、静電気保護手段47及び抵抗52、53とコンデンサ54、55を半導体メモリ等に使用することもできる。

【0053】なお、本発明は上記実施例に限定されず、その主旨を逸脱しない範囲で種々変形して実施できることは言うまでもない。例えば、抵抗は、信号配線あるいはアドレス配線と同一材料から構成されていても良い。

【0054】

【発明の効果】以上説明した様に本発明によれば、静電気によるサージ電圧が、信号配線やアドレス配線に接続される電極パッドに印加された場合でも、薄膜トランジスタの特性を劣化させず、長期間にわたって安定したトランジスタ特性を得ることができる。

【図面の簡単な説明】

【図1】 本発明のアクティブマトリックスパネルの第1実施例の回路図

【図2】 本発明のアクティブマトリックスパネルの第1実施例に係る第1静電気保護手段及び第2静電気保護手段周辺の回路図

【図3】 本発明のアクティブマトリックスパネルの第1実施例に係る第1静電気保護手段の回路図

【図4】 パラメータ $(R2 \cdot C2 / R1 \cdot C1)$ と薄膜トランジスタのしきい値との関係を示すグラフ

【図5】 本発明のアクティブマトリックスパネルの第1実施例に係る薄膜トランジスタ及び補助容量の断面図

【図6】 本発明のアクティブマトリックスパネルの第1実施例に係る第1静電気保護手段及び第2静電気保護手段周辺の平面図

【図7】 本発明のアクティブマトリックスパネルの第2実施例の回路図

【図8】 従来のアクティブマトリックスパネルの回路図

【符号の説明】

12、12a、12b 信号配線

40 画素

41 アドレス配線

42 信号配線

43、43a、43b 薄膜トランジスタ

44、45 電極パッド

46 ショートリング

47 静電気保護手段（第1静電気保護手段）

52、53 抵抗（第2静電気保護手段）

54、55 コンデンサ（第2静電気保護手段）

61 基板

62 ゲート電極

63 ゲート絶縁膜

64 活性層

65 チャンネル保護膜

66a、66b コンタクト層

67a、67b ソース電極あるいはドレイン電極

68 画素電極

72、77 キャパシタ電極

73 キャパシタ絶縁膜

10 i型半導体

76 n型半導体

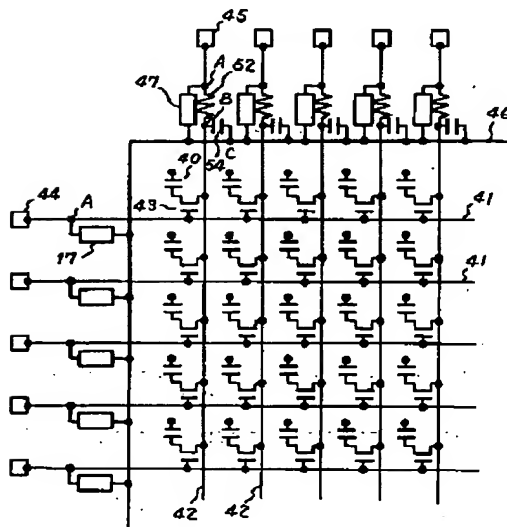
100、101(a)、101(b)、104(a)、

104(b) 配線抵抗

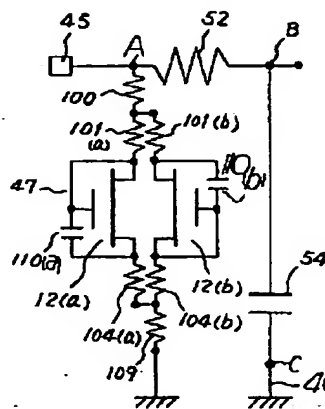
110 既存コンデンサ

201a、201b スルーホール

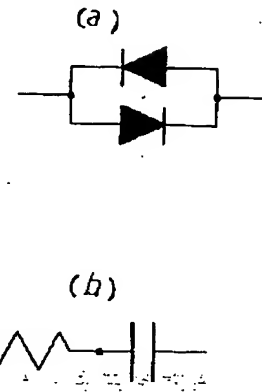
【図1】



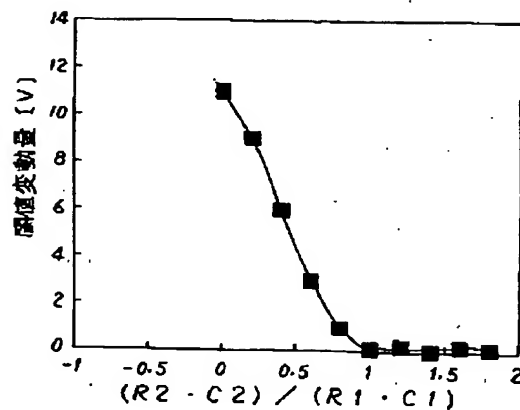
【図2】



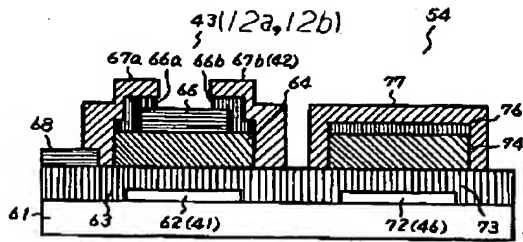
【図3】



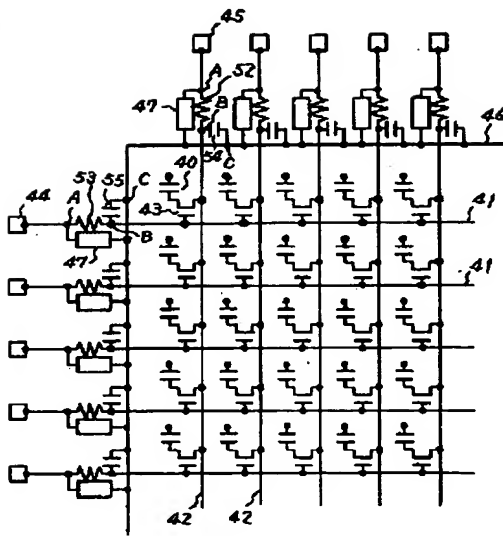
【図4】



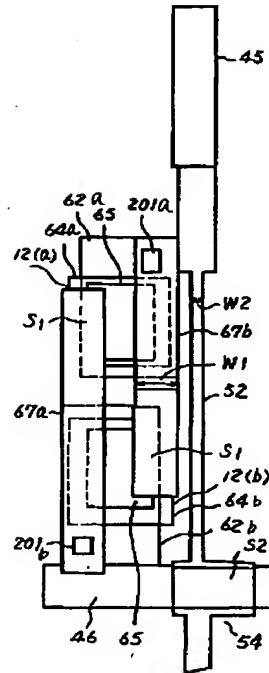
【図5】



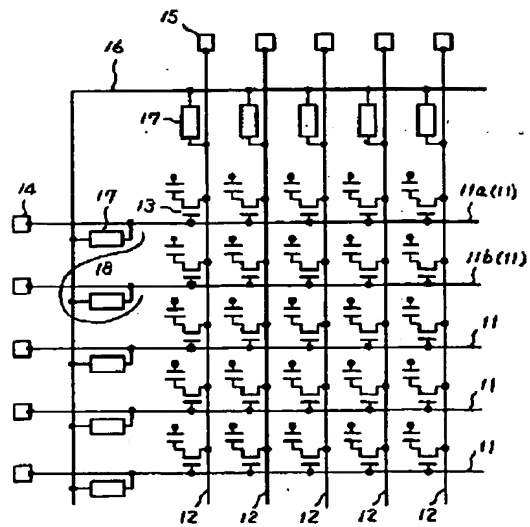
【図7】



【図6】



【図8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.